

ICS ×××

CCS ×××

T/GDEIIA

团体标准

T/GDEIIA ××—20××

服务器级 DDR5-RDIMM 内存模组技术规范

Specification for Server-Grade DDR5-RDIMM Memory Modules

(征求意见稿)

20XX-XX-XX 发布

20XX-XX-XX 实施

广东省电子信息行业协会 发布

目 次

前言 II

1 范围 1

2 规范性引用文件 1

3 术语和定义 1

4 缩略语 2

5 技术要求 2

 5.1 外观尺寸 2

 5.2 功能要求 2

 5.3 性能要求 3

 5.4 可靠性要求 3

 5.5 抗静电要求 4

 5.6 兼容性要求 4

6 测试方法 4

 6.1 外观与机械尺寸测试 4

 6.2 功能与性能测试 4

 6.3 可靠性测试 5

 6.4 信号完整性测试 7

7 质量评定程序 8

 8 标志、包装、运输和贮存 8

 8.1 标志 8

 8.2 包装 8

 8.3 运输 9

 8.4 贮存 9

 8.5 说明书 9

附录 A （资料性） 内存模组功能要求 10

附录 B （资料性） 内存模组颗粒引脚功能要求 11

附录 C （资料性） 内存模组连接器引脚定义 13

附录 D （资料性） 内存模组连接器引脚输入/输出功能描述 14

附录 E （资料性） 内存模组连接器引脚序号与名称 16

附录 F （资料性） 检验项目表 19

参考文献 20

前 言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由中山市江波龙电子有限公司提出。

本文件由广东省电子信息行业协会归口。

本文件起草单位：中山市江波龙电子有限公司、华南理工大学、广东工业大学。

本文件主要起草人：×××

本文件为首次发布。

服务器级 DDR5-RDIMM 内存模组技术规范

1 范围

本文件规定了服务器级DDR5- RDIMM内存模组的技术要求、测试方法、质量评定程序、标志、包装、运输和贮存。

本文件适用于服务器级DDR5- RDIMM内存模组的设计、研发、生产、测评与验收。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 2423.1 电工电子产品环境试验 第1部分：试验方法 试验A：低温

GB/T 2423.2 电工电子产品环境试验 第2部分：试验方法 试验B：高温

GB/T 17626.2 电磁兼容 试验和测量技术 静电放电抗扰度试验

GB/T 191 2008 包装储运图示标志

JESD79-5 DDR5 SDRAM标准

JESD82-511 DDR5寄存器时钟驱动器（RCD）标准

JESD301-1 DDR5电源管理集成电路（PMIC）标准

JESD302 TS5111、TS5110串行总线热传感器规格书

JESD401-5 DDR5 DIMM标签

JESD300-5 SPD5118集线器及串行存在检测器件

JESD400-5 关于DDR5内存的串行参数检测功能的相关内容

MO-329 内存条采用288针DDR5接口，引脚间距为0.85毫米

3 术语和定义

下列术语和定义适用于本文件。

3.1 第五代双倍数据率寄存型双列直插内存模组 DDR5 Registered Dual In-line Memory Module

采用 DDR5 技术、具备寄存器时钟驱动器（RCD）对地址、命令、控制信号进行缓冲的双列直插式内存模组，适用于服务器系统。

3.2 寄存时钟驱动器 Registering Clock Driver

寄存器时钟驱动器，用于缓冲和驱动地址、命令和控制信号，提升信号完整性和负载能力。DDR5：第五代双倍速率同步动态随机存储器。

3.3 电源管理集成电路 Power Management Integrated Circuit

电源管理集成电路，用于为DDR5内存模组提供多路稳压电源。

3.4 集线器及串行存在检测器 Serial Presence Detect

串行存在检测器，用于存储模组配置参数、时序信息和制造数据。

4 缩略语

- DDR5: 第五代双倍数据速率 (Double Data Rate 5)
- RDIMM: 寄存型双列直插式内存 (Registered Dual In-line Memory Module)
- DRAM: 动态随机存取存储器 (Dynamic Random Access Memory)
- SDRAM: 同步动态随机存储器 (Synchronous Dynamic Random Access Memory)
- SPD: 串行存在检查 (Serial Presence Detect)
- PMIC: 电源管理集成电路 (Power Management Integrated Circuit)
- RCD: 寄存器时钟驱动 (Registering Clock Driver)
- TS: 温度传感器 (Thermal sensor)
- ECC: 错误校验与纠正 (Error Correcting Code)
- ESD: 静电放电 (Electro Static Discharge)

5 技术要求

5.1 外观尺寸

5.1.1 外观要求

- 内存模组外观应符合下列要求:
- a) 模组表面无凹痕、划伤、裂缝、变形、污染;
 - b) 模组表面涂层均匀, 无起泡、龟裂、脱落;
 - c) 模组金属件无锈蚀;
 - d) 模组表面说明功能的文字、符号、标志清晰、端正、牢固, 符合国家标准;
 - e) 结构与接口符合 JEDEC DDR5-RDIMM 标准;
 - f) 包含模组制造商、型号、容量、速率、序列号、生产日期等识别信息。

5.1.2 尺寸要求

内存模组应为288 pin标准DDR5-RDIMM外形, 尺寸应符合表1要求。
金手指、定位缺口、安装高度符合DDR5-RDIMM标准。

表 1 尺寸标准

项目	长 (mm)	高 (mm)	厚 (mm)
RDIMM	133.35±0.15	31.25±0.15	1.27±0.1

5.2 功能要求

- 功能应符合下列要求:
- a) 内存模组功能要求应符合附录 A;
 - b) 内存模组的内存颗粒引脚功能应符合附录 B;

c) 内存模组引脚功能应符合附录 C、D、E。

5.3 性能要求

5.3.1 内存性能要求

内存应符合下列要求：

- a) 内存模组最大存储容量应在产品标签或说明书中表明；
- b) 内存模组速率应≥4800MT/s，在内存的产品标签或说明书中，应标明内存的最高速率；
- c) 内存模组的 VDD=VDDQ=1.1V，VPP=1.8V，在内存的产品说明书中，应标明内存工作时标准电压（包括 VDD、VDDQ、VPP），如表 2；
- d) 延迟、时序性能参数应符合表 3 的要求。

表 2 工作电压

类别	电压（V）			备注
	最小	典型	最大	
VIN_BULK	4.25	12	15	模组输入电压
VIN_MGMT	3	3.3	3.6	模组输入管理电压
VDD	1.067	1.1	1.166	PMIC输出电压
VDDQ	1.067	1.1	1.166	PMIC输出电压
VPP	1.746	1.8	1.908	PMIC输出电压

表 3 时序工作参数性能要求

速率（MT/s）	列地址选通脉冲时间 延迟(CL)	行激活到内部读或 写延迟时间（tRCD）	预充电命令等待时长 （tRP）
4800	40	40	40
5600	46	45	45

DDR5-RDIMM应支持以下至少一种基础数据速率，并在SPD中声明：
4000 MT/s，4400 MT/s，4800 MT/s，5200 MT/s，5600 MT/s，6400 MT/s（及以上）。

5.3.2 时序参数

关键时序参数，如CL（CAS Latency），tRCD，tRP，tRAS等，应符合所选数据速率对应的JESD79-5标准时序表，并在SPD中正确编程。

5.3.3 存储容量

模组容量应为标准值，如16GB，32GB，64GB，128GB等，并应在产品上明确标识。

5.4 可靠性要求

5.4.1 温度循环测试要求

按6.3.1描述的方法进行测试，内存模组应零失效。

5.4.2 温湿度偏压测试要求

按6.3.2描述的方法进行测试，内存模组应零失效。

5.4.3 高温存储测试要求

按6.3.3描述的方法进行测试，内存模组应零失效。

5.4.4 低温存储测试要求

按6.3.4描述的方法进行测试，内存模组应零失效。

5.4.5 振动测试要求

按6.3.5描述的方法进行测试，内存模组应零失效。

5.4.6 冲击测试要求

按6.3.6描述的方法进行测试，内存模组应零失效。

5.4.7 弯曲测试要求

按6.3.7描述的方法进行测试，内存模组应零失效。

5.4.8 扭曲测试要求

按6.3.8描述的方法进行测试，内存模组应零失效。

5.4.9 ESD 测试要求

按6.3.9描述的方法进行测试，内存模组应零失效。

5.5 抗静电要求

抗静电应符合GB/T 17626.2规定的要求。

5.6 兼容性要求

5.6.1 CPU 兼容性

产品应兼容通过可靠测评的CPU架构，在产品说明书中应标明内存支持的CPU架构。

5.6.2 操作系统兼容性

产品应兼容通过可靠测评的操作系统，在产品说明书中应标明内存支持的操作系统。

6 测试方法

6.1 外观与机械尺寸测试

使用游标卡尺、二次元等工具测量模组长、宽、高、板厚、金手指尺寸及关键部件位置，结果应符合5.1要求。

6.2 功能与性能测试

6.2.1 测试环境

测试环境应满足以下条件：

- a) DDR5 颗粒在 0℃-85℃, 可扩展 95℃ 下测试;
- b) 内存模组在-10℃, 55℃@1.067V-1.166V 条件下测试;
- c) 硬件环境需采用支持 DDR5-RDIMM 的工程评估板或兼容测试平台;
- d) 软件环境包括操作系统和软件测试工具, 操作系统应符合被测试内存模组使用要求, 测试软件工具应满足以下条件:
 - 生成指定的测试负载, 同时能够记录测试过程中的结果数据;
 - 设置测试截止时间或循环截止的次数;
 - 针对不同的测试指标提供相应的输出信息;
 - 所有测试步骤需直接对内存操作。

6.2.2 测试项目

内存测试项目应符合表4要求。

表 4 内存测试项目

测试项目	测试环境条件	测试方法	结果
外观	满足6.2.1条件	1. 外观检测 (40倍放大镜) 2. 金手指厚度测量 (镀层测试仪)	成功/失败 1. 符合5.1要求 2. 金手指金厚 $\geq 30\mu$
SPD校验	满足6.2.1条件	1. SPD MP Tool烧录SPD文件 2. SPD QC Tool校验模组中SPD文件 3. 软件对比数据	成功/失败
温感测试	满足6.2.1条件	1. 温度条件: -10℃、25℃、85℃ 2. 收集温度传感器数据与测温仪数据对比	成功/失败
高低温测试	满足6.2.1条件	a. 测试条件: 1. -10℃@1.067V 2. -10℃@1.166V 3. 55℃@1.067V 4. 55℃@1.166V b. 使用Smtest软件测试, 软件对比数据、日志	成功/失败
性能测试	满足6.2.1条件	1. 室温标压标频满载 2. 测试软件: Stream & MLC 3. 软件对比数据、日志	成功/失败
功耗测试	满足6.2.1条件	1. 室温标压标频满载 2. 测试软件: Smtest 3. 读取功耗数据	成功/失败
循环测试	满足6.2.1条件	1. 室温标压StressReboot+IPMI满载 2. 室温标压StressPoweroff/on+IPMI满载 3. 温循 (0-50℃) 标压StressReboot+IPMI满载 4. 软件对比日志、无蓝屏卡机、容量正确	成功/失败
兼容性测试	满足6.2.1条件	1. 室温标压标频满载 2. 所有平台遍历可支持频率测试	成功/失败

6.3 可靠性测试

6.3.1 温度循环测试

- a) 测试条件：
 - 测试温度范围：0-125℃ (SV)，15℃/分钟，恒温驻留 10 分钟；
 - 循环次数：1000 次；
 - 测试数量：15 条。
- b) 测试步骤：
 - 对被测模组施加温度变化压力，持续循环 1000 次；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组温度循环测试要求。

6.3.2 温湿度偏压测试

- a) 测试条件：
 - 测试温度、湿度：85℃、85%RH；
 - 测试时间：720 小时；
 - 静态偏压 VDDmax；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组施加温度、湿度变化压力，持续时间不少于 720 小时；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组温湿度偏压测试要求。

6.3.3 高温存储测试

- a) 测试条件：
 - 测试温度：100℃；
 - 测试时间：168 小时；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组施加高温压力，持续时间不少于 168 小时；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组高温存储测试要求。

6.3.4 低温存储测试

- a) 测试条件：
 - 测试温度：-55℃；
 - 测试时间：168 小时；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组施加低温压力，持续时间不少于 168 小时；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组低温存储测试要求。

6.3.5 振动测试

- a) 测试条件：
 - 振动条件：20G，20-2000Hz，16 分钟/轴，X/Y/Z 三轴依次测试；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组进行振动测试，3 个轴向；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组振动测试要求。

6.3.6 冲击测试

- a) 测试条件：
 - 冲击条件：500G，1ms，半正弦波，5 次/轴， $\pm X/\pm Y/\pm Z$ 共 6 个轴；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组进行冲击测试；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组冲击测试要求。

6.3.7 弯曲测试

- a) 测试条件：
 - 弯曲条件：施加压力 34N 或以最大形变 3mm 为弯曲基准；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组进行弯曲测试，循环 5 次；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组弯曲测试要求。

6.3.8 扭曲测试

- a) 测试条件：
 - 扭曲条件：扭矩 0.5Nm 为弯曲基准；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组进行扭曲测试，循环 5 次；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合模组扭曲测试要求。

6.3.9 ESD 测试

- a) 测试条件：
 - ESD 条件：接触放电 $\pm 6KV$ ，空气放电 $\pm 12KV$ ，ESD 满足 Class B；
 - 测试数量：5 条。
- b) 测试步骤：
 - 对被测模组进行 ESD 测试，循环 10 次；
 - 按照 6.2 功能和性能要求进行测试，根据测试结果判定是否符合系统 ESD 测试要求。

6.4 信号完整性测试

6.4.1 测试环境

示波器：高速示波器（ $\geq 16GHz$ 80GSa/s）。

平台：需在代表性测试平台或仿真验证环境中进行。

6.4.2 测试项目

内存模组信号完整性测试项目应符合表5要求。

表 5 内存模组信号完整性测试项目

测试项目		测试方法	判定标准	测试结果
CLK_Timing	tCK	1. 焊接interposer 2. 在interposer上测试点 焊接测试探头	2799.72-2800.28 (Mhz)	成功/失败
	SRIdiffR_CK		2-30V/ns	成功/失败
	SRIdiffF_CK		2-30V/ns	成功/失败
	VRX (CK)		<120mV	成功/失败
	VIX_CK_Ratio		<50%	成功/失败
CA_Timing	VcIVW		>110.00mV	成功/失败
	TcIVW		>71.43	成功/失败
	VIHL_AC		>125.00mV	成功/失败
	tCIPW		>207.14ps	成功/失败
	SRIN_cIVW		1.00V/ns-7.00V/ns	成功/失败
WR_Timing	tDQSS		-223.214ps—223.214ps	成功/失败
	tDQSH		153.57ps-203.57ps	成功/失败
	tDQSL		153.57ps-203.57ps	成功/失败
	tWPRE		>964.29ps	成功/失败
	tWPST		>428.57ps	成功/失败
	SRIdiffR		2-30V/ns	成功/失败
	SRIdiffF		2-30V/ns	成功/失败
	VIX_DQS_Ratio		<50%	成功/失败
RD_Timing	tDQSCK		-116.07ps—116.07ps	成功/失败
	tRPRE		>964.29ps	成功/失败
	tRPST		>428.57ps	成功/失败
	VIX_DQS_Ratio		<50%	成功/失败

7 质量评定程序

检验分类、定型检验与质量一致性检验的原则与流程适用于DDR5-RDIMM，具体检验项目见附录F。

8 标志、包装、运输和贮存

8.1 标志

模组标签上至少应清晰包含以下信息：

- a) 制造商名称或商标；
- b) 产品型号（含 DDR5-RDIMM 标识）；
- c) 容量（如 64GB）；
- d) 数据速率（如 4800MT/s）；
- e) 时序参数（如 CL40-40-40）；
- f) 工作电压（1.1V）；
- g) 序列号；
- h) 生产日期/周期；
- i) 符合的环保指令。

8.2 包装

应采用防静电屏蔽材料，内部模组需固定隔离，防止运输中碰撞。外箱标识易碎、防潮标志。

8.3 运输

避免雨雪直淋、剧烈撞击。符合常规电子产品运输条件。

8.4 贮存

贮存环境：温度0℃-40℃，相对湿度30%-80%。无腐蚀性气体，避免强振动。包装箱离地至少15cm。建议仓储期不超过6个月，超期需重新进行交收检验。

8.5 说明书

产品说明书或数据手册应包含：

- a) 模组产品生产厂商名称；
- b) 模组产品原产地；
- c) 关键性能；
- d) 物理规格；
- e) 引脚定义。

附 录 A
(资料性)
内存模组功能要求

表 A.1 内存模组功能要求

功能名称	功能名称 (英文)	功能描述
寄存器设定	MRS	应具备模式寄存器设定功能
突发长度	BL	应具备BL16和BC8两种模式
写平衡	Write Leveling	应具备调整DQS与CLK边沿对齐功能
数据掩码	Data Mask	应具备掩码部分读写数据
数据翻转	Data Bus Inversion	应具备读写数据的翻转标记功能
ZQ校准	ZQ Calibration	应具备校准内存颗粒的输出驱动阻抗和片内终结电阻的功能
寻址	Addressing	应具备独立的设定和寻找功能
命令地址延迟	CA Latency	应具备命令地址延迟 (CA Latency) 功能, 用于调整命令与地址信号相对于时钟的时序
行激活	Active	应具备激活指定行地址的功能
读取	Read	应具备从已激活的行中读取数据的功能
写入	Write	应具备向已激活的行中写入数据的功能
刷新	Refresh	应具备对内部数据进行刷新并保存数据的功能
自刷新	Self Refresh	应具备自刷新 (Self Refresh) 功能, 在进入低功耗模式后自动刷新并保持数据
命令地址奇偶校验	CA Parity	应具备命令和地址信号奇偶校验的功能
前、后同步信号	Preamble/Postamble	应具备可编程的前同步和读后同步功能, 用于优化读数据时序
PPR修复	Post Package Repair	应具备对错误地址进行修复的功能

附 录 B
(资料性)
内存模组颗粒引脚功能要求

表 B.1 内存模组颗粒引脚功能要求

引脚名称	输入/输出	功能描述
CK_t, CK_c	输入	时钟：CK_t 和 CK_c 是差分时钟输入。所有地址和控制输入信号都在 CK_t 的正边沿和 CK_c 的负边沿交叉时被采样
DM_n	输入	输入数据掩码：DM_n是写入数据的输入掩码信号。在写访问期间，当DM_n与输入数据同时采样为低电平时，输入数据被掩码。DM_n在DQS的两个边上采样。对于x8设备，DM_n的功能由MR5:OP[5]=1启用。x4设备不支持DM
CS_n	输入	片选：当CS_n寄存为高电平时，所有命令都被掩码。CS_n用于在具有多个Rank的系统中进行外部Rank选择。CS_n被认为是命令代码的一部分。CS_n还用于进入和退出从掉电模式的部分
CA_ODT	输入	命令与地址的ODT。如果引脚连接到VSS（接地），则应用A组设置；如果引脚连接到VDDQ，则应用B组设置。没有定义活动的信号要求
CA	输入	命令/地址输入：CA信号根据命令真值表提供命令和地址输入。请注意，由于某些命令是多周期的，因此同一总线上的设备之间可能无法互换引脚
RESET_n	输入	主动低异步复位：当RESET_n为低电平时，复位有效；当RESET_n为高电平时，复位无效。在正常操作期间，RESET_n必须为高电平。RESET_n是一个CMOS轨到轨信号，其直流高电平和低电平分别为VDDQ的80%和20%
DQ	输入/输出	数据输入/输出：双向数据总线。如果通过模式寄存器启用CRC，则在数据突发结束时添加CRC码
DQS_t, DQS_c	输入/输出	数据选通：输出时为读取数据，输入时为写入数据。与读取数据边缘对齐，写入数据居中。对于x16，DQSL对应于DQL0-DQL7上的数据；DQSU对应于DQU0-DQU7上的数据。数据选通DQS_t、DQSL_t和DQSU_t分别与差分信号DQS_c、DQSL_c和DQSU_c配对，以便在读写期间向系统提供差分对信号。DDR5 SDRAM仅支持差分数据选通，不支持单端。
TDQS_t, TDQS_c	输出	终止数据选通：TDQS_t/TDQS_c 仅适用于 x8 DRAM。当通过MR5:OP[4]=1 启用时，DRAM 应在 TDQS_t/TDQS_c 上启用与DQS_t/DQS_c 相同的终止电阻功能。当通过 MR5:OP[4]=0 禁用时，DM_n/TDQS_t 应根据 MR5:OP[5] 提供数据掩码功能；TDQS_c 不使用。x4/x16 DRAM 必须通过 MR5:OP[4]=0 禁用TDQS 功能。
ALERT_n	输入/输出	警报：如果 CRC 出现错误，则 Alert_n 在一段时间内变为低电平，然后恢复高电平。在连接测试模式下，此引脚用作输入。是否使用此信号取决于系统。如果未连接为信号，则 ALERT_n 引脚必须连接到板上的 VDDQ。

表 B.1 内存模组颗粒引脚功能要求（续）

TEN	输入	连接测试模式启用：在 x4、x8 和 x16 设备上需要。此引脚的高电平应与其他引脚一起启用连接测试模式操作。它是一个 CMOS 轨到轨信号，交流高电平和低电平分别为 VDDQ 的 80% 和 20%。是否使用此信号取决于系统。此引脚可能通过弱下拉电阻在内部被 DRAM 拉低至 VSS。
MIR	输入	Mirror：用于通知SDRAM设备其正在被配置为镜像模式还是标准模式。当MIR引脚连接到（绑定为）VDDQ时，SDRAM内部会将偶数CA与下一个更高的奇数CA交换。通常，如果不需要CA镜像，则MIR引脚必须绑定到VSS。镜像对示例：CA2与CA3（而非CA1）CA4与CA5（而非CA3）。请注意，CA[13]功能仅对某些密度的（包括堆叠的）DRAM组件相关。如果未使用CA[13]，其球位置，考虑是否使用MIR，应连接（绑定为）VDDQ。未定义活动信号要求。
CAI	输入	命令与地址反转：当CAI引脚连接到（绑定为）VDDQ时，DRAM内部会反转所有CA信号上的逻辑电平。通常，如果不需要CA反转，则CAI引脚必须连接到VSS。
CA_ODT	输入	命令与地址的ODT。如果引脚连接到VSS（接地），则应用A组设置；如果引脚连接到VDDQ，则应用B组设置。没有定义活动的信号要求。
LBDQ	输出	环回数据输出：此设备在MR53:OP[4:0]中定义的环回输出选择上的输出。当启用环回时，它处于驱动模式，使用环回功能部分描述的默认RON。当禁用环回时，引脚要么终止，要么根据MR36:OP[2:0]处于HiZ状态。
LBDQS	输出	回环数据选通：这是一个单端选通，上升沿与回环数据边沿对齐，下降沿与数据中心对齐。当启用回环时，它处于驱动模式，使用回环功能部分中描述的默认RON。当禁用回环时，引脚要么终止，要么根据MR36:OP[2:0]设置为HiZ。
NC	—	不连接
RFU	输入/输出	保留供将来使用
VDDQ	电源	DQ电源：1.1V
VDD	电源	电源：1.1V
VSS	电源	GND
VPP	电源	DRAM激活电源：1.8V
ZQ	参考	ZQ校准的参考引脚。此球连接到外部240欧姆电阻（RZQ），该电阻连接到Vss。

附 录 C
(资料性)
内存模组连接器引脚定义

表 C.1 内存模组连接器引脚定义

引脚名称	描述
CA[6:0]_A/B	地址和控制总线
CS[1:0]_A/B	片选
PAR_A/B	奇偶校验输入
CK_t/c	时钟正/负
ALERT_n	CRC错误警报
RESET_n	将DRAM设置为初始状态
PCAMP	控制和监控端口
HSCL/HSDA	I2C/I3C主机边带总线时钟/数据
HSA	I2C/I3C主机边带总线地址
DQ[31:0]_A/B	DIMM数据总线A/B通道
CB[7:0]_A/B	DIMM ECC校验位A/B通道
DQS[9:0]_A/B_t/c	数据选通（差分对）
TDQS[9:5]_A/B_t/c	不适用于x4操作。通过模式寄存器启用。
LBDQ	回环数据输出
LBDQS	回环数据选通输出
RFU	保留供将来使用
VSS	接地
VIN_MGMT	系统到DIMM的PMIC电源供应
VIN_BULK	系统到DIMM的PMIC电源供应

附录 D

(资料性)

内存模组连接器引脚输入/输出功能描述

表 D.1 内存模组连接器引脚输入/输出功能描述

引脚名称	输入/输出	I/O电平	功能
CK_t/c	输入	VDD	时钟：CK_t 和 CK_c 是差分时钟输入。所有地址和控制输入信号都在 CK_t 的正边沿和 CK_c 的负边沿交叉时进行采样。
CA[6:0]_A/B	输入	VDD	命令/地址输入：CA信号根据命令真值表提供命令和地址输入。注意：由于某些命令是多周期的，因此同一总线上的设备之间可能无法互换引脚。地址输入在模式寄存器设置命令期间还提供操作码。
CS[1:0]_A/B	输入	VDD	片选：当CS_n被置为高电平时，所有命令都被掩码。CS_n用于在具有多个Rank的系统中进行外部Rank选择。CS_n被认为是命令代码的一部分。CS_n还用于进入和退出从掉电模式和自刷新模式的部分。在自刷新模式下，CS_n是一个CMOS铁路到铁路信号，直流高电平和低电平分别在VDD的80%和20%。
PAR_A/B	输入	VDD	每个命令地址输入的奇偶校验在DPA引脚接收，并应保持通道CA输入的偶奇偶校验。DPA在输入时钟的上升沿和下降沿采样。
ALERT_n	输出	VDD	警报：如果CRC出现错误，则ALERT_n将在一段时间内驱动低电平，然后返回高电平。在连接测试模式下，此引脚用作输入。是否使用此信号取决于系统。如果此引脚未连接，则ALERT_n引脚必须连接到系统板上的VDDQ。
RESET_n	CMOS输入	VDD	主动低异步复位：当RESET_n为低电平时，复位有效；当RESET_n为高电平时，复位无效。正常运行期间，RESET_n必须为高电平。RESET_n是一个CMOS铁路到铁路信号，其直流高电平和低电平分别为VDDQ的80%和20%。
PCAMP	输入/输出	3.6V(max)	控制和监控端口。提供三种不同功能：(1) 寄存器写保护功能；(2) Fail_n 功能；以及 (3) 状态功能 (PWR_GOOD)。
HSCL	输入	VOUT_1.0V	I2C/I3C总线时钟。当开漏时，系统主板上需要一个上拉电阻。
HSDA	输入/输出	VOUT_1.0V	I2C/I3C总线数据。开漏时，系统主板上需要上拉电阻。
HSA	输入	2.1Vmax	SPD HUB的设备地址。正常运行时通过电阻接地以供HID使用，在测试器运行时直接接地
DQ[31:0]_A/B	输入/输出	VDD	数据输入输出：双向数据总线。如果通过模式寄存器启用CRC，则在数据突发结束时添加CRC代码。任何DQ从DQ0-DQ3可能通过模式寄存器设置MR4 A4=高来指示测试期间的内部Vref水平。请参阅供应商特定的数据表以确定哪个DQ被使用。
CB[7:0]_A/B	输入/输出	VDD	ECC校验位输入/输出：双向数据总线 - 对于8位ECC (EC8)，所有8位都被使用 - 对于4位ECC (EC4)，使用[3:0]位；[7:4]位悬空

表 D.1 内存模组连接器引脚输入/输出功能描述（续）

DQS[9:0]_A/B_t/c	输入/输出	VDD	数据选通：输出伴随读取数据，输入伴随写入数据。与读取数据边缘对齐，写入数据居中。数据选通DQS_t分别与差分信号DQS_C配对，在读写期间向系统提供差分对信号。DDR5SDRAM仅支持差分数据选通，不支持单端。
TDQS[9:5]_A/B_t/c	输入	VDD	用于匹配基于x8的RDIMM和基于x4的RDIMM混合群体的负载的虚拟负载。在LRDIMM上不使用。
DLBDQ	输出	VDDQ	环回数据输出：此设备在环回输出选择上的输出定义为MR53:OP[4:0]。当环回启用时，它处于驱动模式，使用环回功能部分描述的默认RON。当环回禁用时，引脚要么终止，要么根据MR36:OP[2:0]设置为高阻抗。
DLBDQS	输出	VDDQ	环回数据选通输出：这是一个单端选通，上升沿与环回数据边对齐，下降沿与数据中心对齐。当环回启用时，它处于驱动模式，使用环回功能部分描述的默认RON。当环回禁用时，引脚要么终止，要么根据MR36:OP[2:0]设置为高阻抗。
RFU			预留
VIN_BULK	电源		外部电源：12V, 最小4.25V, 最大15V
VIN_MGMT	电源		外部电源：3.3V, 最小3.0V, 最大3.6V
VSS	电源		接地

附 录 E

(资料性)

内存模组连接器引脚序号与名称

表 E.1 内存模组连接器引脚序号与名称

引脚 序号	引脚 名称	引脚 序号	引脚 名称	引脚 序号	引脚名称	引脚 序号	引脚名称
1	VIN_BULK	145	VIN_BULK	74	PAR_A	218	CK_c
2	RFU	146	VIN_BULK	75	VSS	219	VSS
3	VIN_MGMT	147	PCAMP	KEY			
4	HSCL	148	HSA				
5	HSDA	149	RFU	76	CA0_B	220	RFU
6	VSS	150	RFU	77	VSS	221	CA1_B
7	DQ0_A	151	VSS	78	CA2_B	222	VSS
8	VSS	152	DQ2_A	79	VSS	223	CA3_B
9	DQ1_A	153	VSS	80	CA4_B	224	VSS
10	VSS	154	DQ3_A	81	VSS	225	CA5_B
11	DQS0_A_t	155	VSS	82	CA6_B	226	VSS
12	DQS0_A_c	156	DQS5_A_c, TDQS5_A_c	83	VSS	227	PAR_B
13	VSS	157	DQS5_A_t, TDQS5_A_t	84	CS0_B_n	228	VSS
14	DQ4_A	158	VSS	85	VSS	229	CS1_B_n
15	VSS	159	DQ6_A	86	DLBDQ	230	VSS
16	DQ5_A	160	VSS	87	DLBDQS	231	RFU
17	VSS	161	DQ7_A	88	VSS	232	RFU
18	DQ8_A	162	VSS	89	CB4_B	233	VSS
19	VSS	163	DQ10_A	90	VSS	234	CB6_B
20	DQ9_A	164	VSS	91	CB5_B	235	VSS
21	VSS	165	DQ11_A	92	VSS	236	CB7_B
22	DQS1_A_t	166	VSS	93	DQS9_B_t, TDQS9_B_t	237	VSS
23	DQS1_A_c	167	DQS6_A_c, TDQS6_A_c	94	DQS9_B_c, TDQS9_B_c	238	DQS4_B_c
24	VSS	168	DQS6_A_t, TDQS6_A_t	95	VSS	239	DQS4_B_t
25	DQ12_A	169	VSS	96	CB0_B	240	VSS
26	VSS	170	DQ14_A	97	VSS	241	CB2_B
27	DQ13_A	171	VSS	98	CB1_B	242	VSS

表 E.1 内存模组连接器引脚序号与名称（续）

28	VSS	172	DQ15_A	99	VSS	243	CB3_B
29	DQ16_A	173	VSS	100	DQ0_B	244	VSS
30	VSS	174	DQ18_A	101	VSS	245	DQ2_B
31	DQ17_A	175	VSS	102	DQ1_B	246	VSS
32	VSS	176	DQ19_A	103	VSS	247	DQ3_B
33	DQS2_A_t	177	VSS	104	DQS0_B_t	248	VSS
34	DQS2_A_c	178	DQS7_A_c, TDQS7_A_c	105	DQS0_B_c	249	DQS5_B_c, TDQS5_B_c
35	VSS	179	DQS7_A_t, TDQS7_A_t	106	VSS	250	DQS5_B_t, TDQS5_B_t
36	DQ20_A	180	VSS	107	DQ4_B	251	VSS
37	VSS	181	DQ22_A	108	VSS	252	DQ6_B
38	DQ21_A	182	VSS	109	DQ5_B	253	VSS
39	VSS	183	DQ23_A	110	VSS	254	DQ7_B
40	DQ24_A	184	VSS	111	DQ8_B	255	VSS
41	VSS	185	DQ26_A	112	VSS	256	DQ10_B
42	DQ25_A	186	VSS	113	DQ9_B	257	VSS
43	VSS	187	DQ27_A	114	VSS	258	DQ11_B
44	DQS3_A_t	188	VSS	115	DQS1_B_t	259	VSS
45	DQS3_A_c	189	DQS8_A_c, TDQS8_A_c	116	DQS1_B_c	260	DQS6_B_c, TDQS6_B_c
46	VSS	190	DQS8_A_t, TDQS8_A_t	117	VSS	261	DQS6_B_t, TDQS6_B_t
47	DQ28_A	191	VSS	118	DQ12_B	262	VSS
48	VSS	192	DQ30_A	119	VSS	263	DQ14_B
49	DQ29_A	193	VSS	120	DQ13_B	264	VSS
50	VSS	194	DQ31_A	121	VSS	265	DQ15_B
51	CB0_A	195	VSS	122	DQ16_B	266	VSS
52	VSS	196	CB2_A	123	VSS	267	DQ18_B
53	CB1_A	197	VSS	124	DQ17_B	268	VSS
54	VSS	198	CB3_A	125	VSS	269	DQ19_B
55	DQS4_A_t	199	VSS	126	DQS2_B_t	270	VSS
56	DQS4_A_c	200	DQS9_A_c, TDQS9_A_c	127	DQS2_B_c	271	DQS7_B_c, TDQS7_B_c
57	VSS	201	DQS9_A_t, TDQS9_A_t	128	VSS	272	DQS7_B_t, TDQS7_B_t
58	CB4_A	202	VSS	129	DQ20_B	273	VSS
59	VSS	203	CB6_A	130	VSS	274	DQ22_B
60	CB5_A	204	VSS	131	DQ21_B	275	VSS

表 E.1 内存模组连接器引脚序号与名称（续）

61	VSS	205	CB7_A	132	VSS	276	DQ23_B
62	ALERT_n	206	VSS	133	DQ24_B	277	VSS
63	VSS	207	RESET_n	134	VSS	278	DQ26_B
64	CS0_A_n	208	VSS	135	DQ25_B	279	VSS
65	VSS	209	CS1_A_n	136	VSS	280	DQ27_B
66	CA0_A	210	VSS	137	DQS3_B_t	281	VSS
67	VSS	211	CA1_A	138	DQS3_B_c	282	DQS8_B_c, TDQS8_B_c
68	CA2_A	212	VSS	139	VSS	283	DQS8_B_t, TDQS8_B_t
69	VSS	213	CA3_A	140	DQ28_B	284	VSS
70	CA4_A	214	VSS	141	VSS	285	DQ30_B
71	VSS	215	CA5_A	142	DQ29_B	286	VSS
72	CA6_A	216	VSS	143	VSS	287	DQ31_B
73	VSS	217	CK_t	144	RFU	288	VSS

附 录 F
(资料性)
检验项目表

表 F.1 检验项目表

检查项目	要求	测试方法	样品量	定型检验	质量一致性逐批检验
外观测试	5.1	6	2	o	o
功能测试	5.2	6.2	2	o	o
性能测试	5.3	6.2	16	o	o
温度循环测试	5.4.1	6.3.1	15	o	—
温湿度偏压测试	5.4.2	6.3.2	5	o	—
高温存储测试	5.4.3	6.3.3	5	o	—
低温存储测试	5.4.4	6.3.4	5	o	—
振动测试	5.4.5	6.3.5	5	o	—
冲击测试	5.4.6	6.3.6	5	o	—
弯曲测试	5.4.7	6.3.7	5	o	—
扭曲测试	5.4.8	6.3.8	5	o	—
ESD测试	5.4.9	6.3.9	5	o	—
信号完整性测试	5.5	6.4	4	o	—

参 考 文 献

- [1] JESD305, DDR5-RDIMM Common Standard 通用标准 (2026)
 - [2] JESD22 A108, Temperature, Bias, and Operating Life 温度、偏压与运行寿命 (2022)
 - [3] JESD22 A113, Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Testing 可靠性测试前预处理 (2020)
 - [4] JESD22 A110, Highly Accelerated Temperature Humidity Stress Test 高加速温湿度应力测试 (2021)
 - [5] JESD22 A104, Temperature Cycling 温度循环 (2023)
 - [6] JESD22 A103, High Temperature Storage Life 高温存储寿命 (2021)
 - [7] JESD22 B117, Solder Ball Shear 焊锡球剪切 (2014)
-